

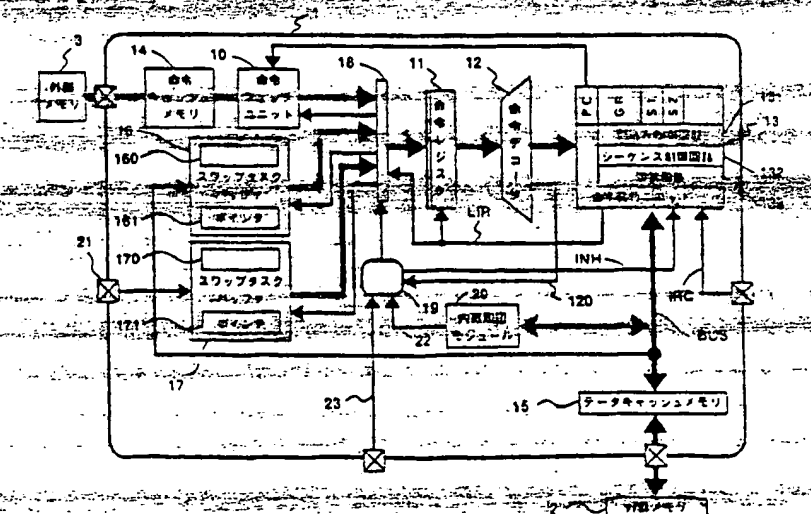
(51) 国際特許分類 G06F 9/46	A1	(11) 国際公開番号 WO98/13759
		(43) 国際公開日 1998年4月2日(02.04.98)
(21) 国際出願番号 PCT/JP96/02819	(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, HU, IT, JP, MC, NL, NO, PT, SE, SI, TR, UK)	
(52) 国際公開日 1996年9月27日(27.09.96)	添付公開書類 国際調査報告書	
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI LTD.)(JP/JP)		
〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		
(72) 発明者: および		
(73) 発明者の住所人 (米国についてのみ)		
松井重純(MATSUI, Shigezumi)(JP/JP)		
〒187 東京都小平市学園西町1-12-18		
〒3 江戸川区大田2-22 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		
〒202 東京都大田区南大田7-45-2 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		
〒100 東京都千代田区千代田1-1-1 Tokyo, (JP)		

(54) Title: DATA PROCESSOR AND DATA PROCESSING SYSTEM

(54) 発明の名称 データプロセッサ及びデータ処理システム

Summary

A data processor (1) in which an instruction fetching unit (10) fetches an instruction, an instruction decoder (12) interprets the instruction latched in an instruction register (11), and an instruction executing unit (13) executes the instruction based on the results of interpretation by the decoder (12). One of task buffers (16 and 17) each provided with a program storing area (160 and 170) and a pointer (161 and 171) for successively reading out instructions stored in the areas (160 and 170) or the unit (10) is selected through a selector (18). The selection by the selector (18) is controlled by a switching control means (19) in accordance with an internally or externally generated event. Register means (S1 and S2) used exclusively for the task buffers (16 and 17) are provided in the instruction executing unit (13) so as to make the saving of the internal state of the unit (13) unnecessary when the task is switched by selecting a program stored in one task buffer from the outside. Therefore, the speed of switching the task is improved and the burden of the data processor (1) at the time of switching the task is reduced.



- | | |
|-----------------------------------|--------------------------------------|
| 2, 3 ... external memory | 16, 17 ... swapping task buffer |
| 10 ... instruction fetching unit | 20 ... built-in peripheral module |
| 11 ... instruction register | 131 ... interruption control circuit |
| 12 ... instruction decoder | 132 ... sequence control circuit |
| 13 ... instruction executing unit | 133 ... arithmetic circuit |
| 14 ... instruction cache memory | 161, 171 ... pointer |
| 15 ... data cache memory | |

明 細 書

データプロセッサ及びデータ処理システム

5 技術分野

本発明は、データプロセッサ、更にはデータプロセッサにおけるマルチタスティング若しくはタスク切換え技術に関し、例えば複数のタスクをパイプライン的に処理するデータプロセッサ、そしてそのデータプロセッサを適用したデータ処理システムに適用して有効な技術に関するものである。

背景技術

データプロセッサによるデータ処理を高速化する技術としてパイプライン処理がある。パイプライン処理は、一つの大きな処理を複数の処理要素に分割し、各処理要素に必要な時間即ちパイプラインピッチで次々に新しい処理を実行することにより、データ処理のスループットを向上させるものである。例えば、一つの命令を実行するための制御処理を、命令フェッチ、命令デコード、演算、メモリアクセス及びレジスタストアの各処理に分けた場合、前記各々の処理を一つのパイプラインステージとし、一つのパイプラインステージのピッチ（パイプラインピッチ）毎に命令フェッチを行って、見掛け上、一つの命令を1パイプラインピッチで実行していく。

このようなパイプライン処理の途上で、タスク切換えを行う場合には、後から、現在実行中のタスクに復帰できるように、プログラムカウンタ、ステータスレジスタ及びデータレジスタなどの値をスタック領域に退避する処理を行わなければならない。

とになる。このようにデータコンフリクトによって空いたパイプラインを別のタスクの実行に利用することを考慮すると、やはり、タスク切換えに伴う処理時間を短くしてパイプラインの乱れを最小限に抑えなければならぬことが本発明者によって明らかにされた。

- 5 また、データプロセッサはオペランドアクセスを高速化するためにキャッシュメモリを搭載することができる。キャッシュメモリは、キャッシュラインが書き換えられると、それに対応されるメモリの内容も書き換えられなければならない。例えばデータプロセッサのみが主メモリを占有している場合、キャッシュラインが書き換えられるときだけ前記書き換えられた内容を主メモリに反映させればよい。このような動作をライトバックと称する。
- 10

- しかしながら、データプロセッサの外部に接続されたDMA (Direct Memory Access) コントローラは、キャッシュメモリの書き換えが主メモリに反映されていない誤ったデータを主メモリから読出してデータ転送を行う虞がある。このような虞をキャッシュ・コヒーレンシの問題と
- 15

称も、これを解消するために、メモリライト動作時にキャッシュヒットであっても、その都度メモリライト動作を行うライトスルー方式をキャッシュメモリに採用すると共に、ライトバッファを用いてキャッシュメモリをノンブロッキング構成にすることができる。ところが、キャッシュ・コヒーレンシのために、メモリライト動作が頻発すると、データプロセッサはDMAコントローラと主メモリを接続するバスのデータ転送能力をキャッシュ・コヒーレンシのために使い切ってしまう、DMA

- 20 コントローラによって高速のデータ転送を行うとき、そのデータ転送速度が制限されてしまうという問題を生ずる。

- 25 そこで、ライトスルーを採用せず、ライトバック方式でキャッシュ・コヒーレンシを保つために、キャッシュコヒーレンシを保たない動作を

ユニット(13)が命令を実行するデータプロセッサ(1)は、プログラムの格納領域(160, 170)とその領域に格納され命令を順次読出すためのポインタ(161, 171)とを夫々が備えた複数のタスクバッファ(16, 17)と、前記夫々のタスクバッファ毎に専用化され、前記命令実行ユニットに配置されたレジスタ手段(S1, S2)と、前記複数のタスクバッファと命令フェッチユニットとの中から一つを選択的に前記命令レジスタに接続するセレクタ(18)と、初期状態において前記セレクタに前記命令フェッチユニットを選択させると共に、内部又は外部で発生されるイベントに基づき前記セレクタを制御する切換え制御手段(19)と、前記命令実行ユニットの制御に基づいて前記複数のタスクバッファの全部又は一部をデータ書き込み可能に外部とインタフェースするインタフェース手段(21, BUS)とを含む。

前記タスクバッファは夫々固有のポインタを有し、命令実行ユニットは夫々のタスクバッファに割り当てられた固有のレジスタ手段を有するから、実行すべきタスクが、命令フェッチユニットのプログラムに従った通常命令処理とタスクバッファのプログラムに従ったスワップタスク処理との間で切換えられるとき、中断される通常命令処理の実行状態(例えばプログラムカウンタや汎用レジスタの値)を退避したり復帰したりするために外部メモリのスタック領域をアクセスする処理を必要としない。これにより、タスク切換えの高速化と、タスク切換えに伴う処理の軽減とが達成され、データプロセッサのデータ処理能力向上に寄与する。

前記命令レジスタ、命令デコーダ及び命令実行ユニットが、パイプラインステージ単位で処理を進めて命令をパイプライン処理を行う場合、上記により、パイプラインの乱れを最小限に抑えることができる。

の複数の周辺回路（２，５）に接続されてデータ処理システムを構成する。このとき、前記タスクバッファにDMA転送制御プログラム若しくはDMA転送及びデータ変換制御プログラムを積載した場合、キャッシュコヒーレンシの問題を解決するためのデータプロセッサの負担を軽減することができる。すなわち、データプロセッサの処理タスクがセクタ等を介してDMA転送制御処理に切換えられた状態において、DMAコントローラとしての機能は実行ユニットが実現することになる。従って、データプロセッサの外部メモリ種、或いは外部メモリと外部の入出力回路間でのDMAコントローラ転送を制御する場合は、DMA転送制御のためのアドレス信号若しくはアクセス制御情報は必ずデータキャッシュメモリを通ることになる。換言すれば、キャッシュメモリがライトバック方式を採用する場合に、データキャッシュメモリの書き換えが外部メモリに反映されていない状態でもDMA転送が開始されても、そのような外部メモリに反映されていないデータはデータキャッシュメモリから命令実行ユニットに読み込まれて、転送されることになる。これにより、データプロセッサは、キャッシュコヒーレンシを保たないDMA転送動作を検出するとともに検出したときには予じめライトバック動作を行なわせることを要せず、キャッシュコヒーレンシを保たないDMA転送動作を検出するというデータプロセッサの処理負担を軽減することができる。当然データプロセッサで実現するDMA転送制御機能において、転送データは一旦データプロセッサに読み込まれることになる。

上記タスク切換え手段は、第１４図及び第１６図に例示されるスーパスカラ形式のデータプロセッサ（１Ｂ，１Ｃ）にも応用できる。すなわち、命令レジスタ（１１Ａ，１１Ｂ）にラッチした命令を命令デコーダ（１２Ａ，１２Ｂ）で解読して命令実行ユニット（１３Ａ，１３Ｂ）がその命令を実行する命令実行制御系列を複数系列備えると共に、命令を

- 実行を遅らせるとき、それを通知する制御信号 2.5.0 に応答して前記セ
レクタ (18) にタスクバッファを選択させることにより、処理が中断
される一方の命令実行制御系若しくはパイプによる通常命令処理をス
ワップタスク処理に切換えることができ、命令実行制御系列を有効利用
5 することができる。特にタスク切換え時には前述の通り、途中で中断さ
れる通常命令処理の実行状態の退避を要しないから、命令実行制御系列
の空き時間が短い場合にも効率的にタスク切換えを行ってスワップタ
スク処理に移行することができる。
- 前記データコンフリクト等の競合状態は命令デコード回路 (2.4) によ
10 て競合管理ユニット (2.5) が判定し、そのとき、処理が遅延されるべ
き命令は既にデコードを終了している。その後で、スワップタスク処理
に切換えられるが、処理が中断される通常命令処理と、それに代えて処
理が開始されるスワップタスク処理とが相互に同じ命令レジスタ及び
命令デコーダを用いる場合には、第 17 図に例示されるように、パイプ
15 1 におけるパイプラインステージ m の命令フェッチ (I_n) と同じ命令
をパイプ 1 のステージ $m+2$ で再度フェッチし、パイプ 1 におけるパイ
プラインステージ $m+1$ の命令デコード (D_n) と同じ命令をパイプ 1
のステージ $m+3$ で再度デコードしなければならず、この意味において
パイプラインが乱れることになる。従って、スワップタスク処理の後に、
20 処理が中断された通常命令処理に復帰するときは命令フェッチから再
開しなければならない。

- 上述のデータコンフリクトによる通常命令処理からスワップタスク
処理書への切換えにおいて、パイプラインに全く乱れを生じないように
するには、第 18 図に例示されるように、データプロセッサ (1D) は、
25 一方の命令実行制御系に、スワップタスク処理専用の命令レジスタ (1
1C) と命令デコーダ (12C) を追加すればよい。すなわち、命令レ

し、内部又は外部で発生されるイベントに従って前記第1のセレクトを
選択制御し、また、前記第3のセレクトによる前記特定タスク用命令デ
コードの選択に呼応して第2のセレクトに内部又は外部で発生される
イベントに応じたタスクバッファを選択させる切換え制御手段(19)

5 5とを含む。

図面の簡単な説明

第1図は本発明の第1の実施例に係るデータプロセッサのブロック

10 第2図は命令フェッチユニットの一例ブロック図、

第3図はスワップタスクバッファの第1の例を示すブロック図、

第4図はスワップタスクバッファの第2の例を示すブロック図、

第5図はスワップタスクバッファの第3の例を示すブロック図、

第6図はスワップタスクバッファの第4の例を示すブロック図、

15 第7図は命令実行ユニットに含まれるレジスタセットの一例説明図、

第8図は第1の実施例に係るデータプロセッサにおけるタスク切
え動作の一例説明図、

第9図は通常命令処理と割り込み処理との切換え動作の一例説明図、

20 第10図は第1の実施例に係るデータプロセッサにおけるタスク切
換えとパイプラインとの関係を示す一例タイミングチャート、

第11図はスワップタスク中に割り込みを受け付けない第1の実
施例に係るデータプロセッサの一例動作タイミングチャート、

第12図は本発明の第2の実施例に係るデータプロセッサのブロッ
ク図、

25 第13図はスワップタスク中に割り込みを受け付ける第2の実施
例に係るデータプロセッサの一例動作タイミングチャート、

第1図には本発明の第1の実施例に係るデータプロセッサのブロック図が示される。同図に示されるデータプロセッサ1は、特に制限されないが、公知の半導体集積回路製造技術に基づき単結晶シリコンのようないくつかの半導体基板に形成されている。

5 第1図において10は命令フェッチユニット、11は命令レジスタ、12は命令デコーダ、13は命令実行ユニット、14は命令キャッシュメモリ、15はデータキャッシュメモリ、16、17は代表的に示されたスワップタスクバッファ、18はセレクタ、19は切替え制御回路、20は内蔵周辺モジュールを接続する回路ブロックである。

10 前記命令実行ユニット13は、プログラムカウンタP.C、汎用レジスタG.R、夫々のスワップタスクバッファ16、17に個々に割り当てられたレジスタセットS1、S2、割り込み制御回路131、シーケンス制御回路132、演算回路等133などを含む。

本実施例のデータプロセッサ1において、命令レジスタ11、命令デ
15 コーダ12及び命令実行ユニット13はパイプラインステージ単位で処理を進めて、命令をパイプライン処理する。命令レジスタ11、命令デコーダ12及び命令実行ユニット13における動作サイクルは、データプロセッサ1の図示を省略する動作基準クロック信号に同期して、前記シーケンス制御回路132が制御する。

20 この命令実行ユニット13は、特に制限されないが、内部バスBUSに接続されたデータキャッシュメモリ15を介して外部にインタフェースされる。データキャッシュメモリのキャッシュの対象は外部メモリ2等とされる。データキャッシュメモリ15は図示を省略するキャッシュデータ部、キャッシュタグ部及びキャッシュコントローラを含む回路
25 ブロックとして図示されている。キャッシュデータ部は外部メモリ2等が保有するデータの一部を保持する。キャッシュタグ部はキャッシュデ

ット10によるメモリアクセスにおいてキャッシュ・ヒットの場合にはキャッシュデータ部が保有する命令を命令フェッチユニット10に与え、キャッシュ・ミスの場合には外部メモリ3等から命令を読み込んで命令フェッチユニット10に与える。

5 命令フェッチユニット10は、特に制限されないが、先入れ・先出し

(First-in・First-out) バッファの機能を有し、プログラムカウンタ

PCの値に対して複数ワード分の命令をプロフェッチすることができ

る。例えば第2図に示されるように4段のラッチ100A~100Dが

直列配置され、セレクタ101A~101Cを介して前段のラッチをバ

10 することなく直接外部若しくは命令キャッシュメモリ14からの命令

を取り込むことができるようにされている。102は命令フェッチのた

めの制御回路であり、プログラムカウンタPCの値に基づいてフェッチ

すべき命令のアドレスを出力するとともに、それによって入力される命

令を先入れ・先出し形態で前記ラッチ100A~100Dに保持させ且

15 つラッチ100A~100Dから出力させる。特に制限されないが、ラ

ッチ100A~100Dは2ワード単位で命令をラッチし、命令デコー

ダ12は1ワード単位で命令をデコードする。これに応じて、データラ

ッチ100Dの出力はセレクタ103で下位ワードと上位ワードに分

けて出力される。

20 前記夫々のスワップタスクバッファ16、17は、プログラム格納領

域160、170とその格納領域160、170に格納された命令を順

次読み出すためのポインタ161、171とを有する。特に制限されな

いが、スワップタスクバッファ16は内部バスBUSを介して実行ユニ

ット13によりそのプログラム格納領域160に対する書込みが可能

25 にされている。また、スワップタスクバッファ17は、命令実行ユニ

ット13により制御されるシリアルインタフェース(その制御線は図示を

クと定義するならば、特定のタスクに係る処理プログラムが格納される。

例えば、DMA転送のための処理プログラム、データ圧縮・伸長のための処理プログラムなどが設定される。スワップタスクバッファ16, 17

5 への処理プログラムのロードは、特に制限されないが、パワーオンリセットなどによるシステムイニシャライズ時にシリアルインタフェース21や命令実行ユニット13を介して行うことができる。

前記セレクトラ18はスワップタスクバッファ16, 17と命令フェッチユニット10との中から一つを選択して命令レジスタ11に接続する。その接続制御は切換え制御回路19が行う。この切換え制御回路1

10 9は、データプロセッサ1のイニシャライズリセット時に前記セレクトラ18に命令フェッチユニット10を選択させ、その後、内外で発生される所定のイベント、例えば、内蔵周辺回路モジュール20からの割り込

み信号22や外部における所定のイベント発生時の通知信号23に従っ

てセレクトラ18にスワップタスクバッファ16又は17の出力を選択

15 させる。どのスワップタスクバッファを選択するかは、イベントの発生元とスワップタスクバッファとの対応テーブルを切換え制御回路19が備えて判定したり、或いはイベント発生時の通知信号毎に固有のスワップタスクバッファを割り当てて制御することができる。

特に制限されないが、前記命令実行ユニット13は、前記命令レジ

20 タ11に命令をラッチさせる指示信号LIRを出力する。命令レジスタ

11はその指示信号LIRに同期して命令をラッチする。このとき、前記セレクトラ18は、前記切換え制御回路19が選択する命令フェッチユニット10又はスワップタスクバッファ16, 17にその指示信号LIR

を供給する。命令フェッチユニット10はその指示信号LIRを受けると、命令レジスタ11に供給すべき命令をその指示信号に基づいて更

25 新する。また、前記タスクバッファ16, 17はその指示信号LIRを

レジスタセット S 1 又はレジスタセット S 2 のどのレジスタを利用するかは、レジスタ番号とタスクの種類によって決定され、例えばそれは、命令のオペランドフィールドで指定される。命令フェッチユニット 1 0 から出力される命令が選択されるとき命令実行ユニット 1 3 は命令実行に前記レジスタ S R, R 0 ~ R 15 を用い、スワップタスクバッファ 1 6 から出力される命令が選択されるとき命令実行ユニット 1 3 は命令実行に前記レジスタ S 1 S R, S 1 R 0 ~ S 1 R 7 を用い、スワップタスクバッファ 1 7 から出力される命令が選択されるとき命令実行ユニット 1 3 は命令実行に前記レジスタ S 2 S R, S 2 R 0 ~ S 2 R 7 を用いる。

上述のように、スワップタスクバッファ 1 6, 1 7 は夫々固有のポインタ 1 6 1, 1 7 1 を有し、夫々のスワップタスクバッファ 1 6, 1 7

は制御信号で夫々固有のレジスタセット S 1, S 2 を有するから、実行すべきタスクが命令フェッチユニット 1 0 とスワップタスクバッファ

1 6, 1 7 との間で切換えられたとき、プログラムカウンタ P C やレジスタ G R の値を退避したり復帰したりするために外部メモリ 2 等のスタック領域をアクセスする処理を必要としない。

第 8 図にはタスク切換えの動作例が示される。前記命令フェッチユニット 1 0 からの命令を実行する（通常命令処理）状態の途上で、例えば

信号 2 3 によって、スワップタスクバッファ 1 6 に格納されているプログラム（スワップタスク 1）の実行が要求されると、切換え制御回路 1

9 は、パイプラインステージの切換わりに同期して、セレクタ 1 8 による選択状態をスワップタスクバッファ 1 6 に切換える。これにより、ス

ワップタスクバッファ 1 6 は指示信号 L I R に同期してスワップタスク 1 の先頭の命令をポインタ 1 6 1 で指示して出力し、命令レジスタ 1

1 がこれをラッチする。また、命令実行ユニット 1 3 は、スワップタス

においてセクタ 18 による選択状態をスワップタスクバッファ 16 に
切換え、当該パイプラインステージ $m+1$ においてスワップタスク 1 の
先頭の命令に対する命令が命令レジスタ 11 に転送 (Ds1) される。
タスク切換え時には前述の通りプログラムカウンタ PC やレジスタ S
5 R, R0 ~ R7 の退避を要せずに、スワップタスク 1 の実行に移ることが
できる。以下パイプラインステージ毎に処理が一つずつ進められる。

命令実行ユニット 13 は、通常命令処理の実行では汎用レジスタ G を
利用するが、スワップタスク 1 の実行ではレジスタセット S1 を利用す
る。どのレジスタを利用するかは夫々の命令記述によって決定される。

10 切換えられたスワップタスク 1 の最後の命令がパイプラインステー
ジ n において命令デコーダ 12 で解読 (Ds1) されると、切換え制御回
路 19 に終了信号 120 が供給される。切換え制御回路 19 はパイプ
ラインステージ $n+1$ でセクタ 18 に命令フェッチユニット 10 を選
15 択させ、これによってパイプラインステージ $n+1$ 以降では命令レジ
スタ 11 には命令フェッチユニット 10 から命令が供給される。通常命令
処理への切換えに際しても、前述の通り、復帰のためのメモリアクセス
を必要としない。以上のように、通常命令処理とスワップタスク 1 との
間でのタスク切換えに際して、パイプラインは一切乱れを生じていない。

第 1 図において前記割り込み制御回路 131 には、代表的に示された
20 割り込み要求信号 IRQ が供給される。割り込み制御回路 131 はそれ
に設定されている割り込み優先度に応じて割り込み要求を受け付ける。
本実施例では、前記切換え制御回路 19 は、スワップタスクバッファ 1
6 又は 17 をセクタ 18 に選択させている状態において、割り込み受
け付け禁止信号 INH をイネーブルにして割り込み制御回路 131 に
25 供給する。割り込み制御回路 131 は、割り込み禁止信号 INH がイネ
ーブルにされているとき割り込み要求を一切受け付けない。したがって、

り込みを受付可能にした点が、第1図のデータプロセッサ1と相違される。その他の点については第1図と同じであり、それと同一機能の回路ブロックには同一符号を付してその詳細な説明を省略する。

データプロセッサ1Aにおいて、割り込み制御回路131は割り込み要求を受け付けると、割り込み制御信号ICNTをイネーブルにして前記切換え制御回路19に供給する。切換え制御回路19は、セレクタ18がスワップタスクバッファ16又は17を選択しているとき、割り込み制御信号ICNTがイネーブルにされると、セレクタ18による選択状態を命令フロッピュニット14に切換え制御する。更に、切換え直前に選択されていたスワップタスクバッファ16、17を特定するための情報(スワップタスク選択情報)を退避する。退避先は、切換え制御回路19内部の図示を省略する退避用ラッチとすることが望ましい。外部メモリ2等のスワップ領域に退避させるもよいが、その場合には、当該割り込み処理からスワップタスクに復帰する時にスワップタスク選択情報を復旧させるのに外部バスアクセスサイクルを起動しなければならない。スワップタスク処理への復帰が遅れるからである。

スワップタスクの実行中に割り込みを受け付ける場合、それ以前に通常命令処理からスワップタスクへの分岐が行われている。したがって、当該割り込み処理を完了した後、現在中断中の通常処理に復帰出来るようにしなければならない。このため、前記セレクタ18の切換えとスワップタスク選択情報の退避の後、現在中断している通常命令処理の戻り番地とレジスタ情報が退避され、その後、割り込み処理プログラムに分岐される。

第13図にはスワップタスク中に割り込みを受け付ける場合の動作例が示される。通常命令処理の途中で割り込み要求があると、戻り番地などを退避した後、割り込み処理に分岐され、割り込み処理が終了され

えるからである。

第14図には本発明に係るデータプロセッサの第3の実施例が示される。同図に示されるデータプロセッサ1Bはスーパーバスカプラーキテックを有し、複数の命令を2本のパイプラインによって並列的に実行することができる。すなわち、命令レジスタ11Aにラッチした命令を命令デコーダ12Aで解読して命令実行ユニット13Aがその命令を実行する第1の命令実行制御系列と、命令レジスタ11Bにラッチした命令を命令デコーダ12Bで解読して命令実行ユニット13Bがその命令を実行する第2の命令実行制御系列とを有する。第1の命令実行制御系列で行われるパイプライン処理をパイプ0と称し、第2の命令実行制御系列で行われるパイプライン処理をパイプ1と称する。LIR Aは命令レジスタ11Aに対する命令ラッチの指示信号、LIR Bは命令レジスタ11Bに対する命令ラッチの指示信号であり、前記指示信号LIR Aに対応される。

前記命令実行ユニット13A、13Bは夫々に専用化されたシーケンス制御回路132A、132Bと演算回路133A、133Bを有する。パイプ0とパイプ1との間で生ずるデータコンフリクトのような命令相互間の依存関係は競合管理ユニット25が命令デコーダ12A、12Bのデコード結果に基づいて検出する。すなわち、競合管理ユニット25は、命令デコーダ12A、12Bからの命令解読結果に基づいて、パイプ0とパイプ1による命令の並列実行が可能か否かについてそれら命令相互間の依存関係を調べ、他の命令の実行結果に依存することになる命令の実行を遅らせるように、制御信号ARBA、ARBBによってシーケンス制御回路132A、132Bを制御する。

割り込み制御回路131、プログラムカウンタPC、汎用レジスタGRは双方の命令実行ユニット13A、13Bに共有されている。レジス

アップタスク 1 の先頭の命令に対する命令が命令レジスタ 1 1 B に転送される (Cs 1)。タスク切換え時には前述の通りプログラムカウンタ PC やレジスタ SR, R 0 ~ R 7 の退避を要せず、スワップタスク 1 の実行に移ることができる。以下パイプ 1 のパイプラインステージ毎に

5 処理が順次進められる。このとき、命令実行ユニット 1 3 B は、スワップタスク 1 の実行にはレジスタセット S 1 を利用する。どのレジスタを利用するかは前記の例と同様に夫々の命令記述によって決定される。切換えられたスワップタスク 1 の最後の命令がパイプ 1 におけるパイプ

10 ラインステージ $n + 1$ で命令デコーダ 1 3 B にフェッチされると切換え制御回路 1 9 に終了信号 1 2 0 が供給される。切換え制御回路 1 9 はパイプラインステージ $n + 1$ でセクタ 1 8 に命令フェッチユニット 1 0 を選択させ、これによってパイプ 1 のパイプラインステージ $n + 1$ 以降では命令レジスタ 1 1 B に命令フェッチユニット 1 0 から命令が供給される。これによってパイプ 1 では通常命令処理が再開される。

15 通常命令処理への切換えに際しても、前述の通り、復帰のためのメモリアクセスを必要としない。以上のように、通常命令処理とスワップタスク 1 との間でのタスク切換えに際して、パイプラインは一切乱れを生じていない。

第 1 6 図には本発明に係るデータプロセッサの第 4 の実施例が示さ

20 れる。同図に示されるデータプロセッサ 1 C は前記データプロセッサ 1 B と同様にスーパースカラアーキテクチャを有し、複数の命令を 2 本のパイプラインによって並列的に実行することができる。データプロセッサ 1 B と相違する点は、パイプ 0 及びパイプ 1 によって通常命令処理を行っているときのデータコンフリクトの発生をスワップタスクへの切換え

25 要因の一つとして有することである。競合管理ユニット 2 5 はデータコンフリクトの発生に同期する制御信号 2 5 0 を切換え制御回路 1 9

- れ、当該制御信号 250 がインアクティブにされることによって、セクタ 18 の選択状態は元の通常命令処理の選択状態（命令フェッチユニット 10 の選択状態）に戻される。タスク切換え時には前述の通りプログラムカウンタ PC やレジスタ SR, R0 ~ R7 の退避を要せずに、スワップタスク 1 の実行に移ることができる。このとき、命令実行ユニット 13B は、スワップタスク 1 の実行にはレジスタセット S1 を利用する。どのレジスタを利用するかは前記の例と同様に夫々の命令記述によって決定される。

- 図 17 の例では、パイプラインステージ $m+3$ まで夫々命令レジスタ 1A, 11B にラッチされた命令のデコードステージ ($m+4$) においても競合管理ユニット 25 がデータコンフリクトを検出して、上記同様に、パイプラインステージ ($m+7$) におけるパイプ 0 のレジスタストア (S_n) の結果を当該ステージ ($m+7$) におけるパイプ 1 の演算ステージ (E_n) で利用できるようになるまで、パイプ 1 のパイプラインステージにおける通常命令処理の実行が停止され、それに代えて、パイプ 1 は、スワップタスク 1 の処理を行なっている。この例では、スワップタスク 1 の処理は細切れであり、その処理タイミングもデータコンフリクト発生時に限定されているが、データコンフリクトに固有の処理や処理インターバルに制限のない処理に適用して有効である。また、制御信号 250 は、前記信号 22、23 で選択されたスワップタスクを実際に処理するタイミングを規定する制御信号として利用してもよい。

- 第 18 図には本発明に係るデータプロセッサの第 5 の実施例が示される。同図に示されるデータプロセッサ 1D は前記データプロセッサ 1B と同様にスーパースカラアーキテクチャを有し、複数の命令を 2 本のパイプラインによって並列的に実行することができる。データプロセッサ 1D は、データプロセッサ 1C と同様に、パイプ 0 及びパイプ 1 によっ

Dで行われるタスク切換え制御の内容が例示されている。例えばパイプラインステージ m で夫々命令レジスタ11A, 11Bにラッチされた命令のデコードステージ($m+1$)で競合管理ユニット25がデータコンフリクトを検出すると、後から実行されるべき命令実行は、先に実行されるべき命令の実行結果が得られるまでNOP(ノン・オペレーション)とされる。すなわち、パイプラインステージ($m+4$)におけるパイプ0のレジスタストア(Sr)の結果を当該ステージ($m+4$)におけるパイプ1の演算ステージ(E_n)で利用できるようになるまで、パイプ1のパイプラインステージにおける通常命令処理の実行が停止される。第17図との相違点は、第19図のステージ $m+4$ のパイプ1における演算ステージ(E_n)のために改めて命令フェッチ及びデコードを繰り返すことを要しないということである。パイプ1のパイプラインステージにおける通常命令処理の実行停止の指示は、制御信号ARBによって命令実行ユニット13Bに通知される。このとき、競合管理ユニット25は制御信号250を活性化して切換え制御回路19に与える。切換え制御回路19は、それに応答してセレクトア18にスワップタスクバッファ16を選択させる。これにより、パイプラインステージ $m+1 \sim m+5$ においてパイプ1は、スワップタスク1の処理を行うことができる。スワップタスク1の処理に許容される期間は、データコンフリクトによってパイプ1の通常命令処理が中断される期間であり、その期間は競合管理ユニット15で制御され、制御信号250に反映され、当該信号250がインアクティブにされることによって、セレクトア18の選択状態は元の通常命令処理の選択状態(命令フェッチユニット10の選択状態)に戻される。タスク切換え時には前述の通りプログラムカウンタPCやレジスタSR, R0~R7の退避を要せずに、スワップタスク1の実行に移ることができる。このとき、命令実行ユニット13B

読み込んだデータを命令実行ユニット 13 でデータ変換 (例えば圧縮や座標変換) し、変換されたデータをメモリ 2 の所定領域に書き込み制御する。読み出しアドレスと書き込みアドレスは、データ転送及びデータ変換毎に、前記プログラムによって順次更新される。そのような DMA 転送

- 5 制御及びデータ変換制御プログラムのプログラム記述の最小単位の例を第 22 図に示す。スワップタスクバッファを用いたタスク切換えには前述の通り、通常の割り込み処理のような遅延処理を必要とせず、バイパスラインの乱れもないから、発生したイベントに対して高速に応答することが

- 10 また、データプロセッサ 1 に代表される上記実施例において、スワップタスクバッファ 16、17 に DMA 転送制御プログラムを設定した場合、第 23 図に例示されるようなシステム構成に比べて、キャッシュコ

- ヒーレンシの問題を解決するためのデータプロセッサ 1 の負担を軽減することができる。すなわち、第 23 図のシステム構成では、キャッシュメモリ 15 がライトバック方式を採用するとき、キャッシュメモリ 15 の書き換えが外部メモリに反映されていない状態で DMA コントローラ 6 が DMA 転送を開始するとキャッシュコヒーレンシを保てなくなるので、データプロセッサ 1 E はキャッシュコヒーレンシを保たない DMA 転送動作の起動を常時監視し、それを検出したときは予めラ
- 20 イトバック動作を行なわせることが必要であり、データプロセッサ 1 E は、キャッシュコヒーレンシを保たない動作を検出するための処理を負担しなければならない。これに対し、第 1 図のデータプロセッサ 1 を例にすると、データプロセッサ 1 の処理タスクがセクタ 18 等を介して DMA 転送制御処理に切換えられた状態において、DMA コントローラ
- 25 としての機能は実行ユニット 13 が実現することになる。従って、データプロセッサ 1 の外部メモリ間、或いは外部メモリと外部の入出力回路

能力の向上を必要とするシステムに広く適用することができ、例えば、デジタルカメラにおける撮影データの転送とデータ圧縮とをスイッチタスクとして備えた組み込み機器制御用のコンピュータシステムなどに適用することができる。

基づいて更新するものであることを特徴とする請求の範囲第1項又は第2項記載のデータプロセッサ。

4. 前記切換え制御手段は、それが選択したタスクバッファから命令デ
コードに供給された命令の解読結果に基づいて前記セレクタを前記命
5 令フェッチユニットの選択状態に戻すものであることを特徴とする請
求の範囲第3項記載のデータプロセッサ。

5. 前記切換え制御手段は、前記タスクバッファの選択に呼応して、命
令実行ユニットに入力される割り込み信号を無効化する割り込み禁止
信号を出力するものであることを特徴とする請求の範囲第3項記載の
10 データプロセッサ。

6. 前記切換え制御手段は、前記タスクバッファを選択しているとき前
記命令実行ユニットによる割り込みの受け付けに呼応して前記セレク
タを命令フェッチユニットの選択状態に戻すと共に、その直前のタスク
バッファの選択状態を退避させるものであることを特徴とする請求の
15 範囲第3項記載のデータプロセッサ。

7. 前記命令実行ユニットと外部との間にデータキャッシュメモリを備
えて成るものであることを特徴とする請求の範囲第1項又は第2項記
載のデータプロセッサ。

8. 請求の範囲第7項記載のデータプロセッサと、このデータプロセッ
20 サに接続された外部データバスと、この外部データバスに接続されたメ
モリ及び入出力回路とを含んで成るものであることを特徴とするデー
タ処理システム。

9. 命令レジスタにラッチした命令を命令デコードで解読して命令実行
ユニットがその命令を実行する命令実行制御系列を複数系列備えると
25 共に、命令をフェッチする命令フェッチユニットを含み、複数の命令を
前記複数の命令実行制御系列で並列実行可能なデータプロセッサにお

記命令レジスタに命令をラッチさせる指示信号を出力し、前記セクタは、それに対応される命令実行ユニットから出力される前記指示信号を前記切換え制御手段が選択する命令フェッチユニット又はタスクバッファに供給し、命令フェッチユニットは命令レジスタに供給すべき命令をその指示信号に基づいて更新し、前記タスクバッファは前記ポインタをその指示信号に基づいて更新するものであることを特徴とする請求

の範囲第1項記載のデータプロセッサ

1. 4. 命令レジスタにラッチした命令を命令デコーダで解読して命令実行ユニットが命令を実行する命令実行制御系列を複数系列備えると共に、命令をフェッチする命令フェッチユニットを含み、複数の命令を前記複数の命令実行制御系列で並列実行可能なデータプロセッサにおいて、

プログラムの格納領域とその領域に格納され命令を順次読出すためのポインタとを夫々が備えた複数個のタスクバッファと、

15 前記複数個のタスクバッファに専用化された特定タスク用命令レジスタと、

前記特定タスク用命令レジスタにラッチされた命令を解読する特定タスク用命令デコーダと、

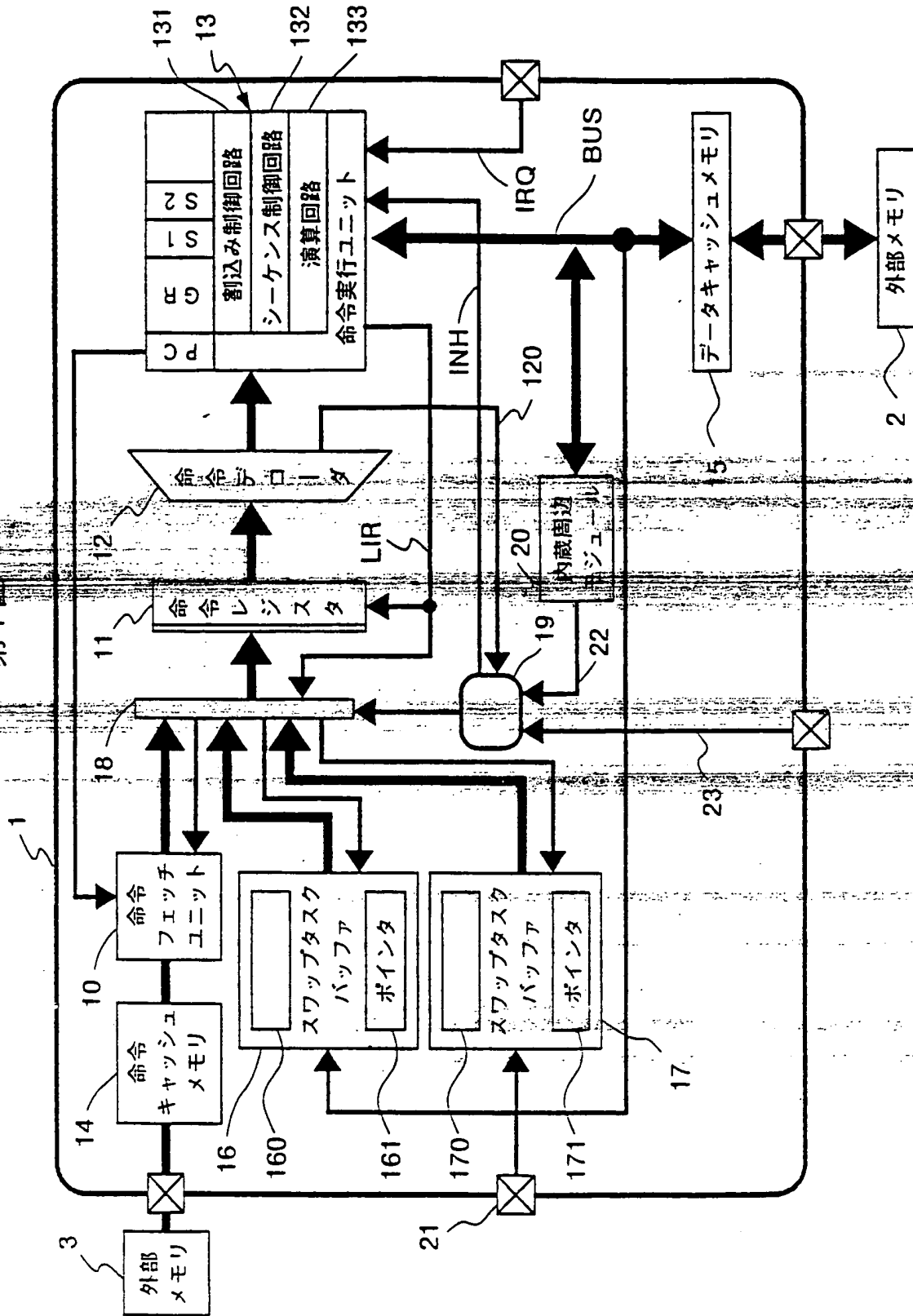
前記夫々のタスクバッファ毎に専用化され、特定の命令実行ユニットに配置されたレジスタ手段と、

20 前記複数個のタスクバッファと命令フェッチユニットとの中から一つを選択的に前記特定の命令実行ユニットに対応される命令レジスタに接続する第1のセクタと、

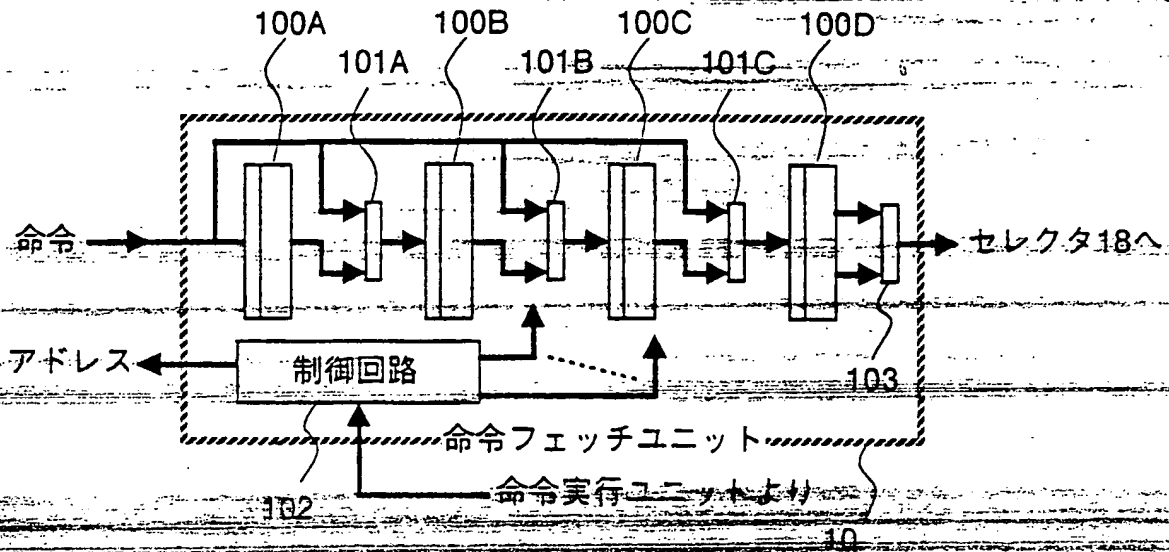
25 前記複数個のタスクバッファの中から一つを選択して前記特定タスク用命令レジスタに接続する第2のセクタと、

前記特定の命令実行ユニットに対応される命令デコーダの出力と前

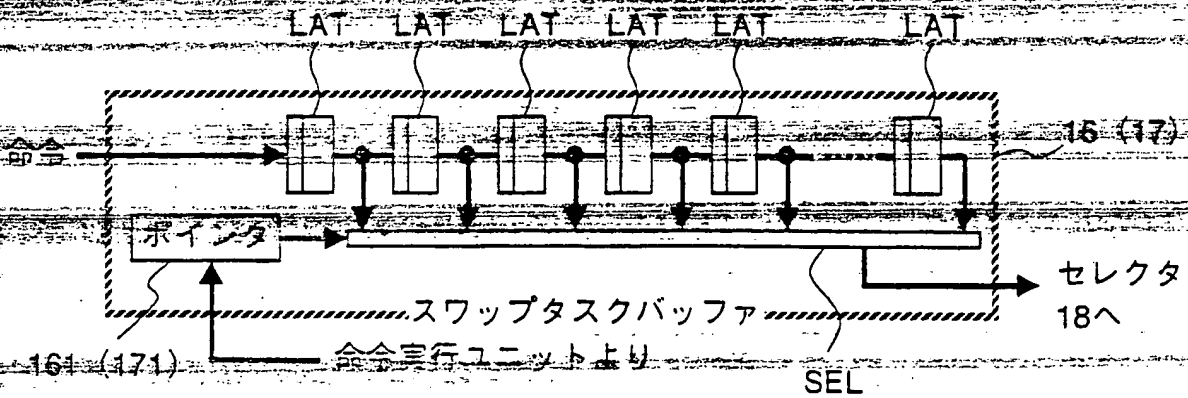
第1図



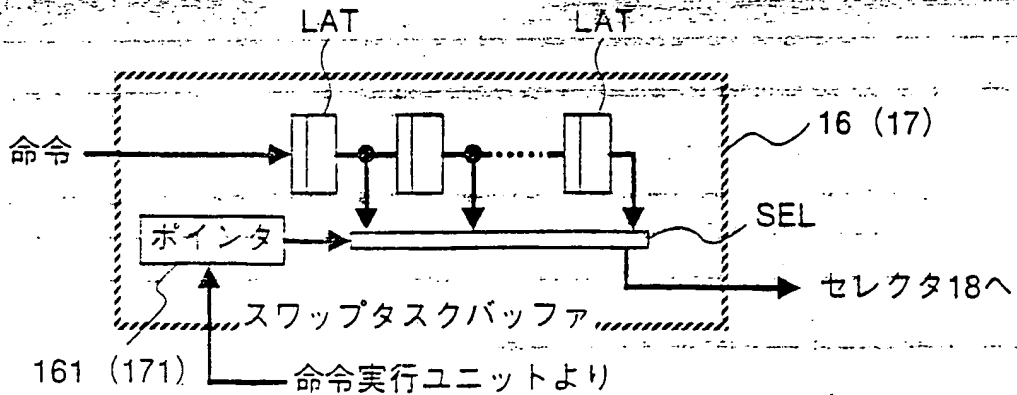
第2図



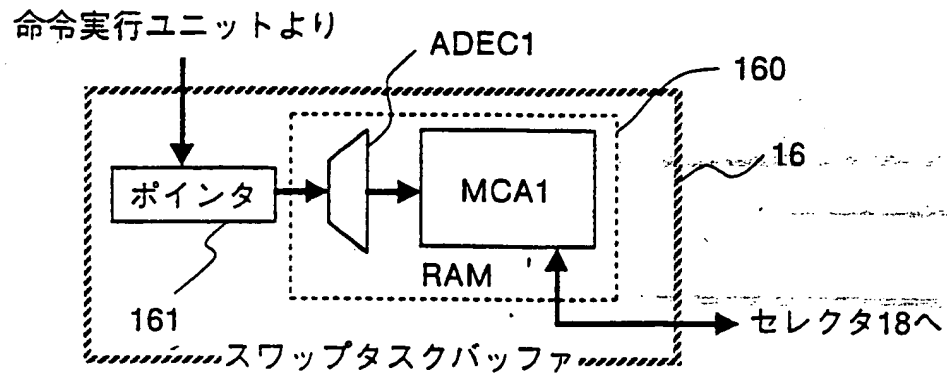
第3図



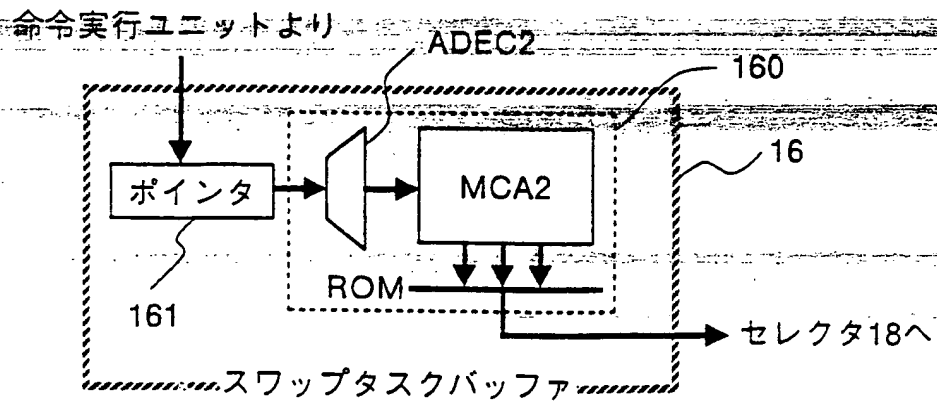
第4図



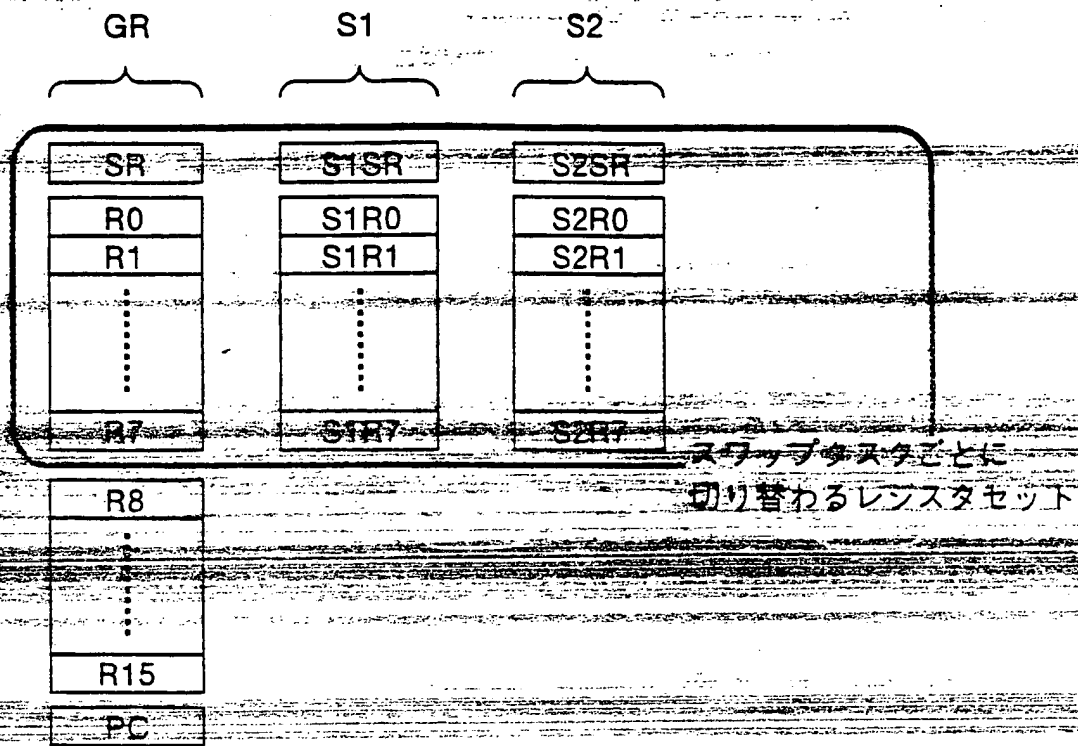
第5図



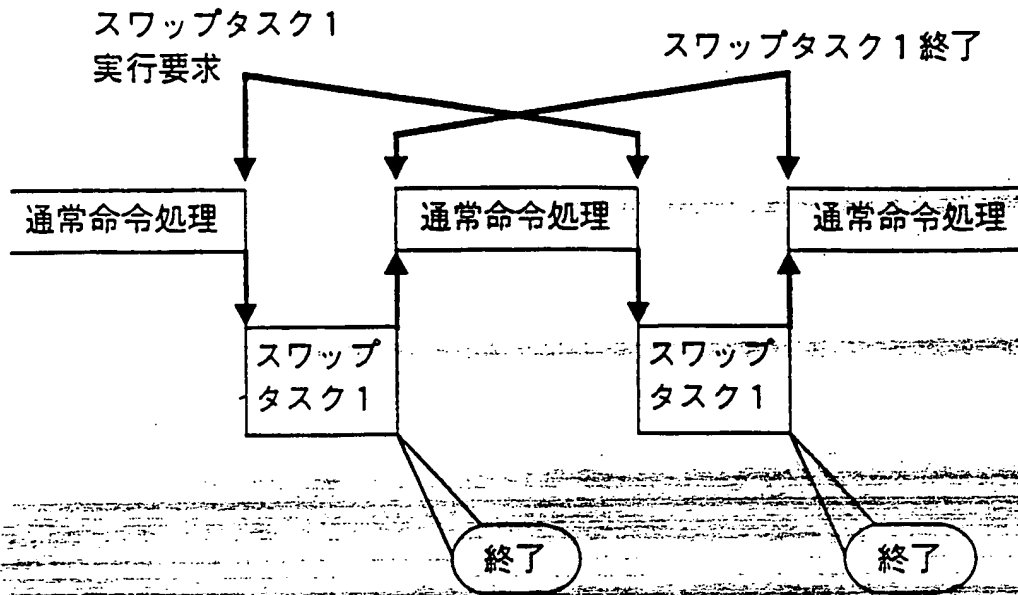
第5図



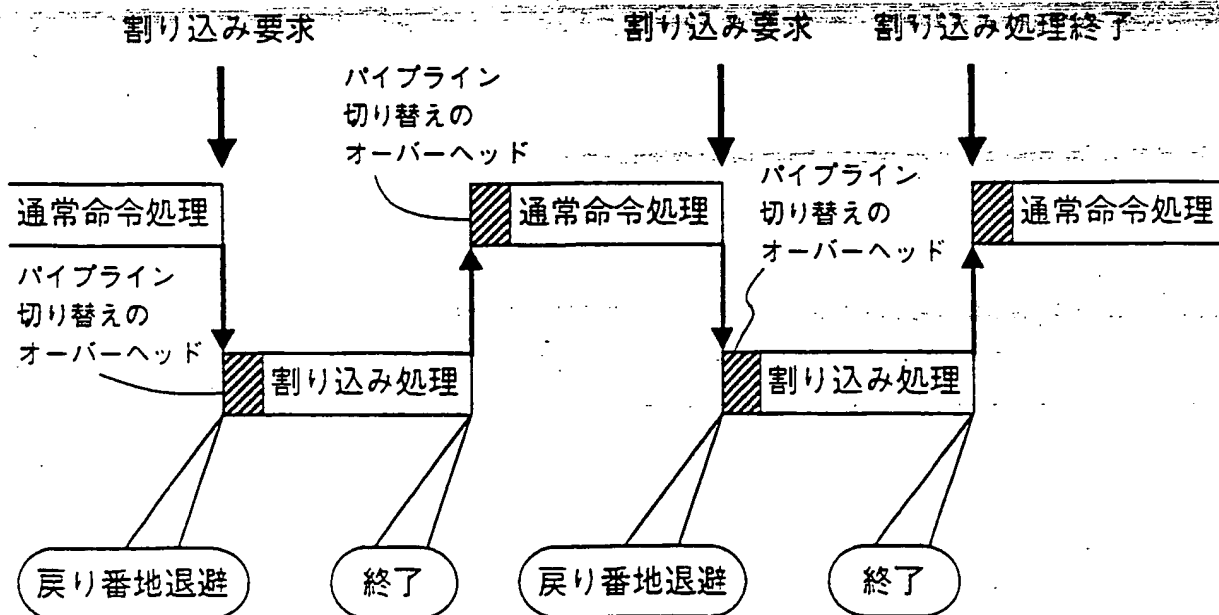
第7図

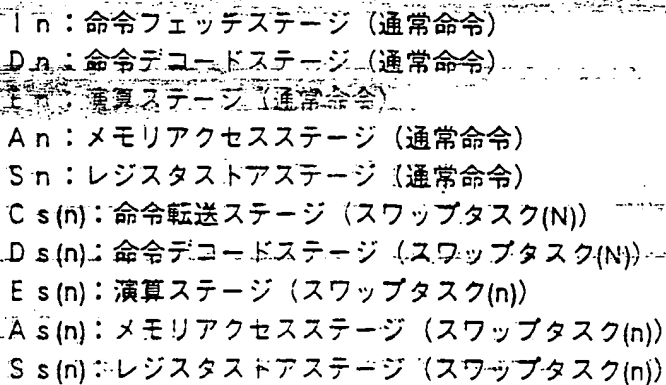


第8図

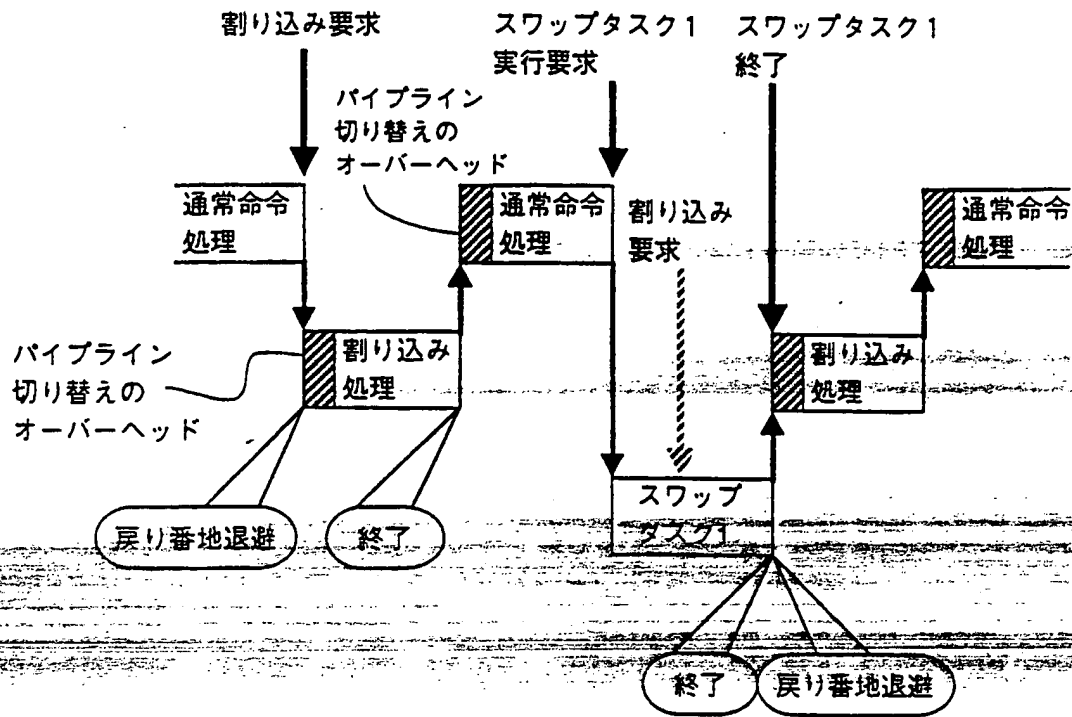


第9図

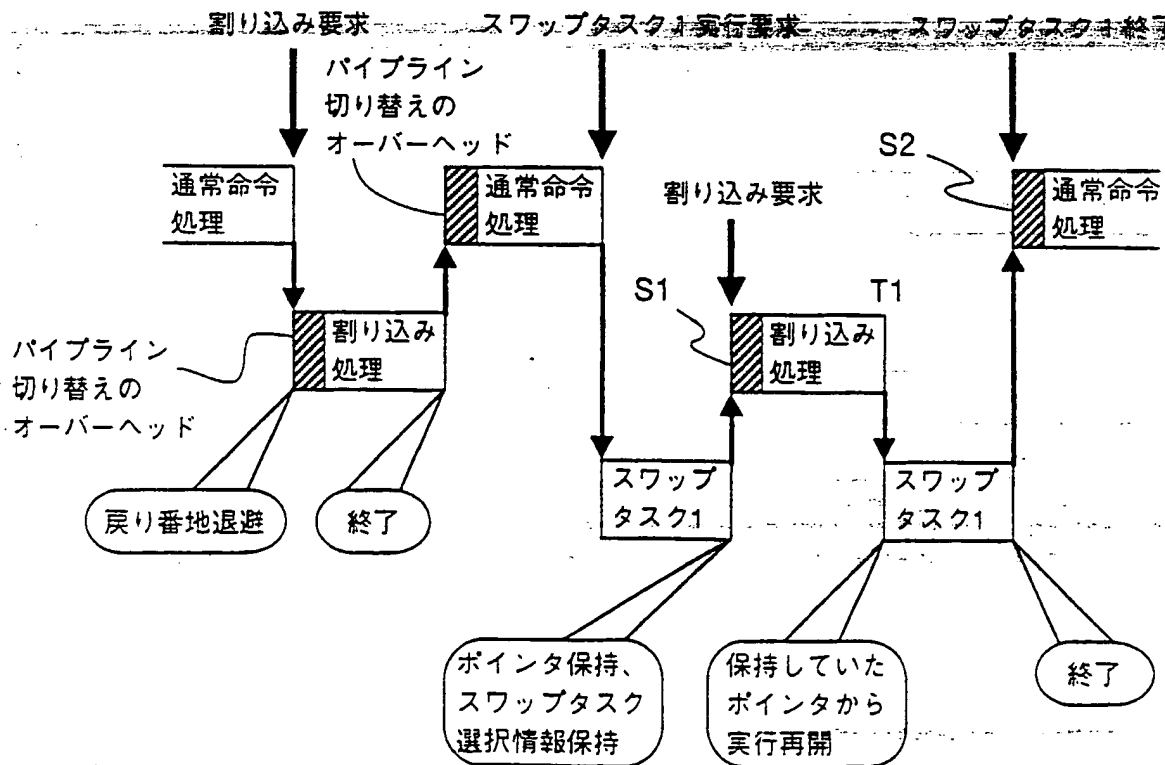




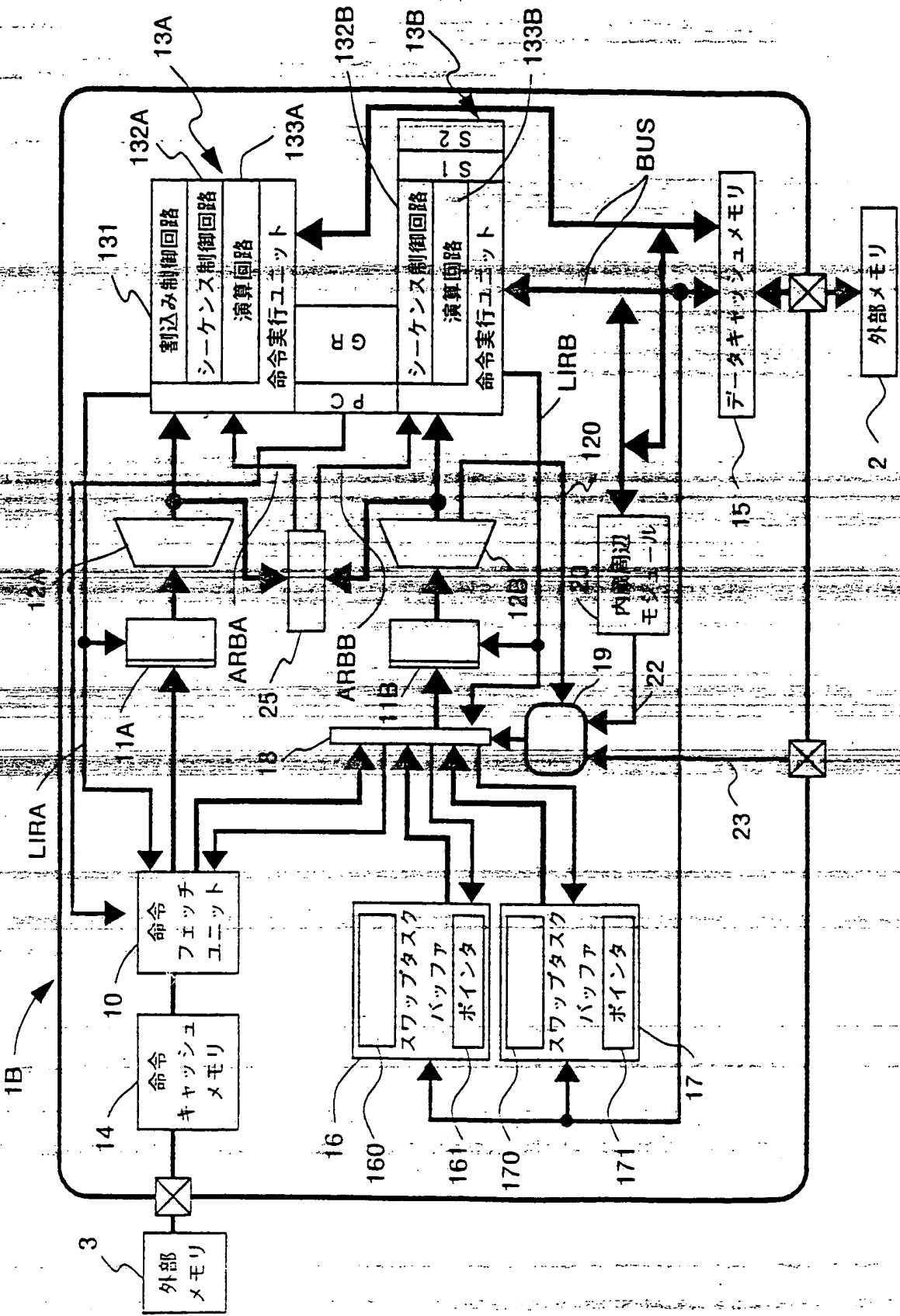
第 1 1 図



第 1 3 図

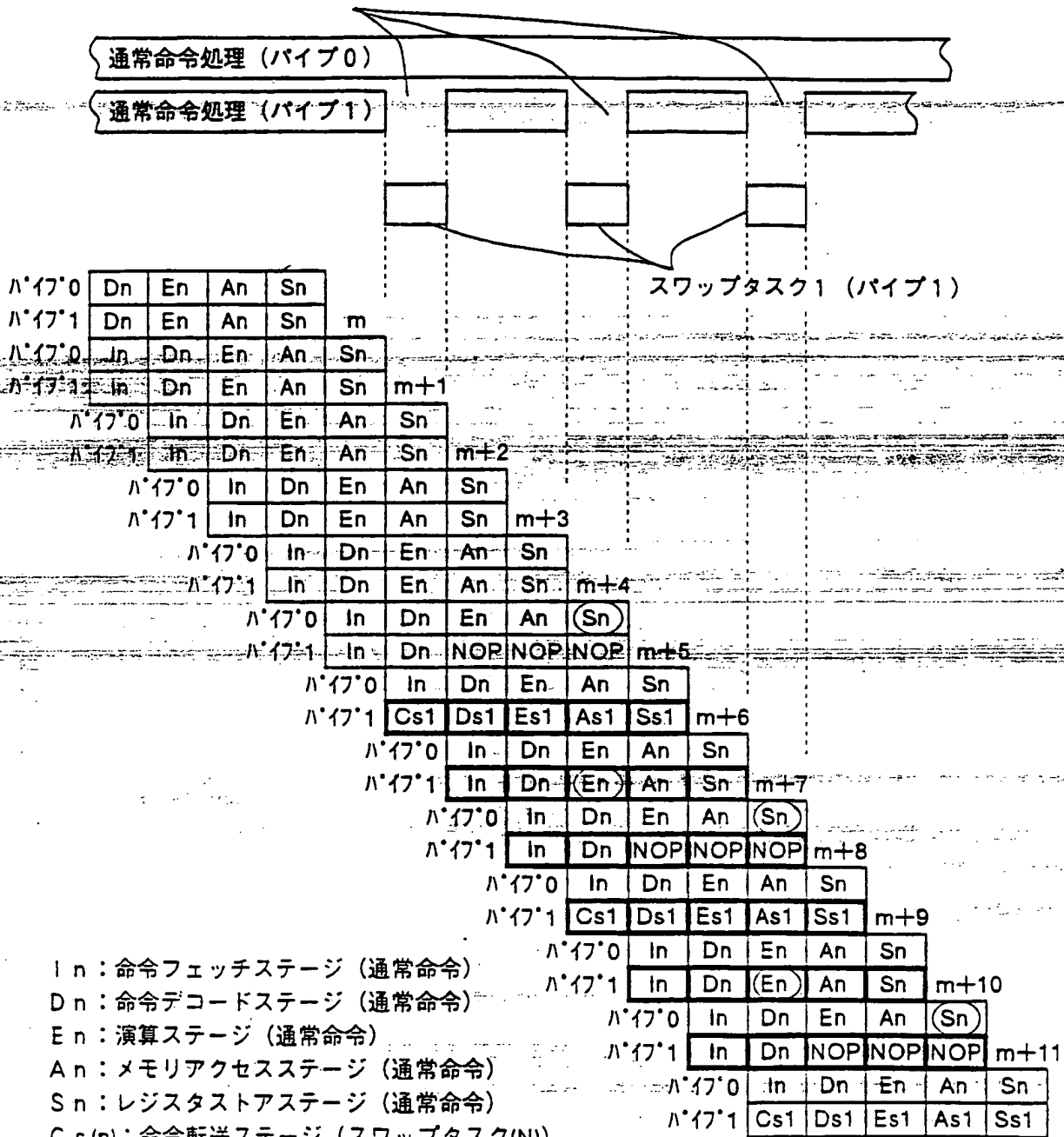


第14図



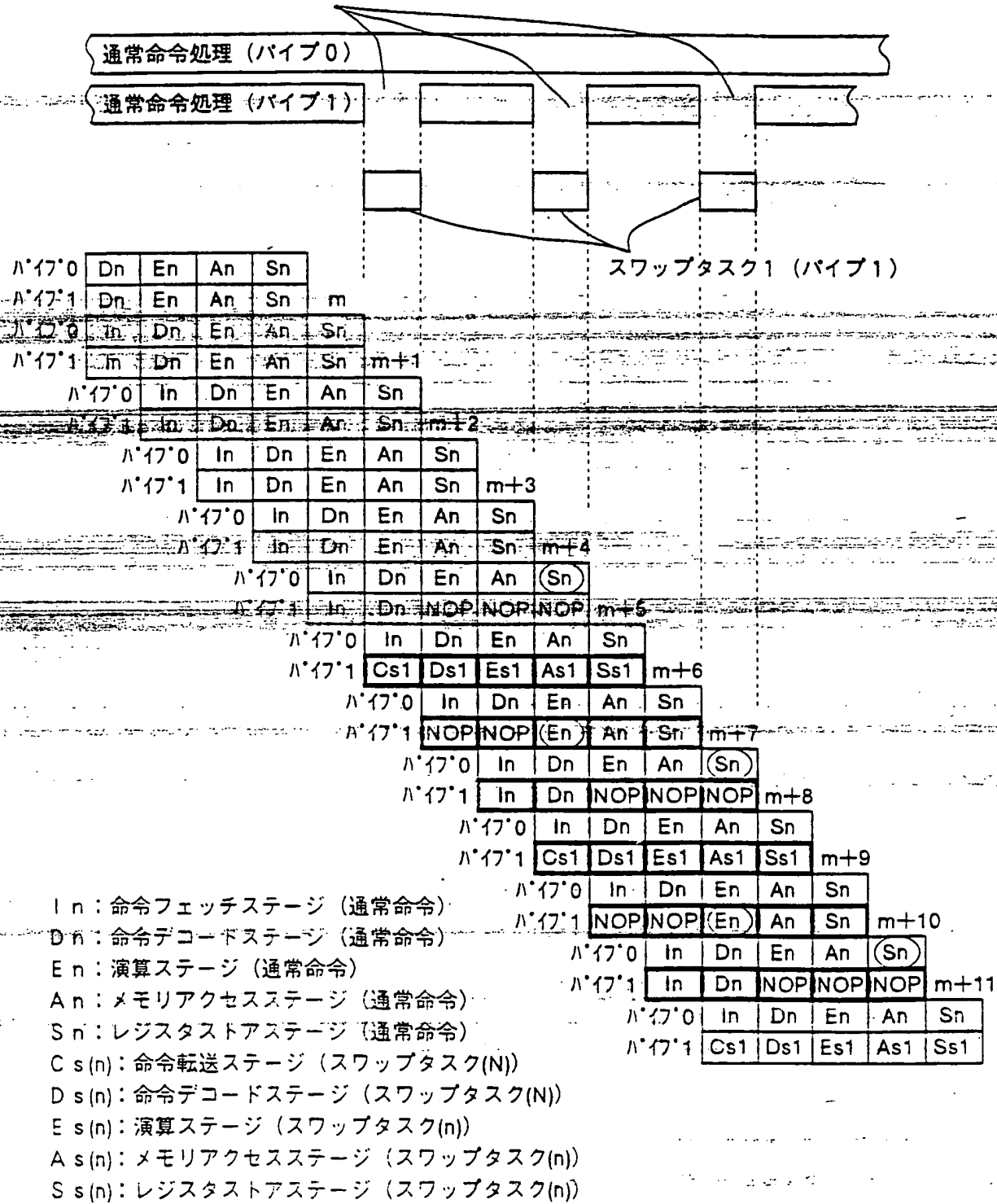
第17図

データコンフリクトによる中断

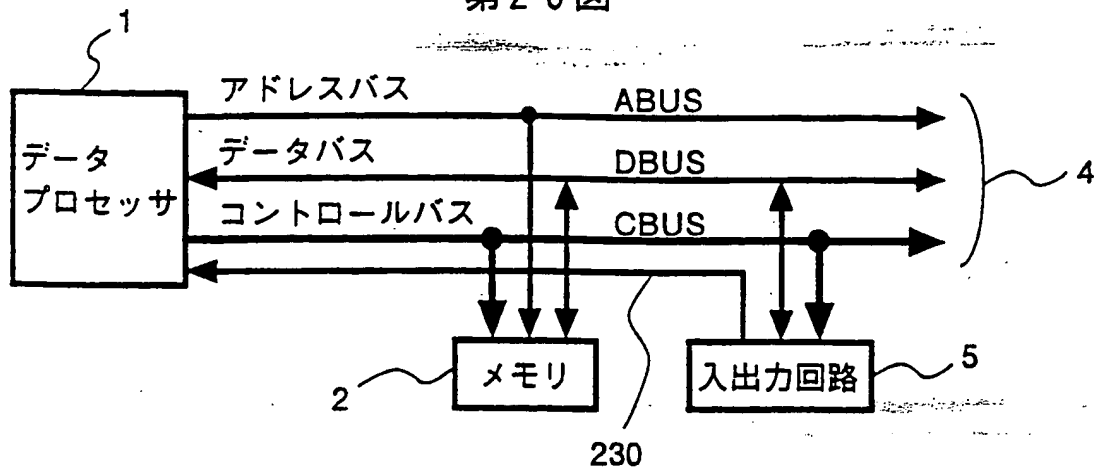


第19図

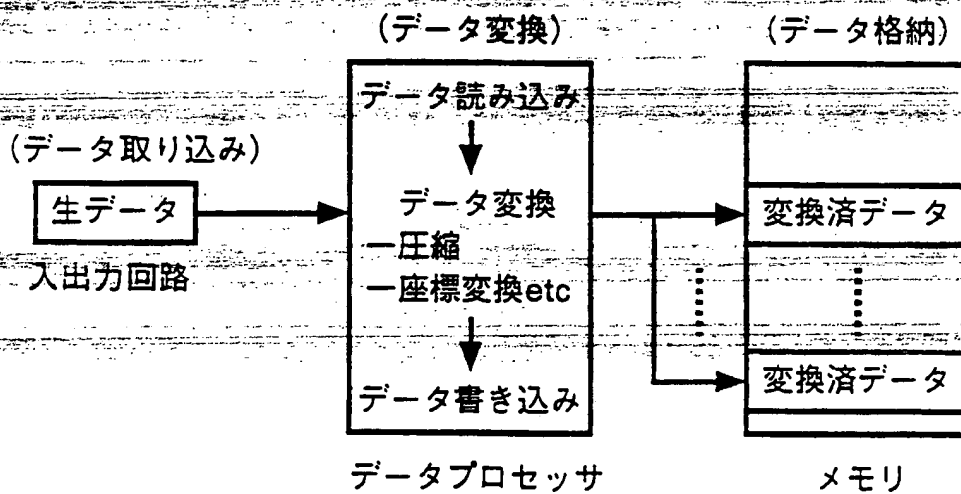
データコンフリクトによる中断



第20図



第21図



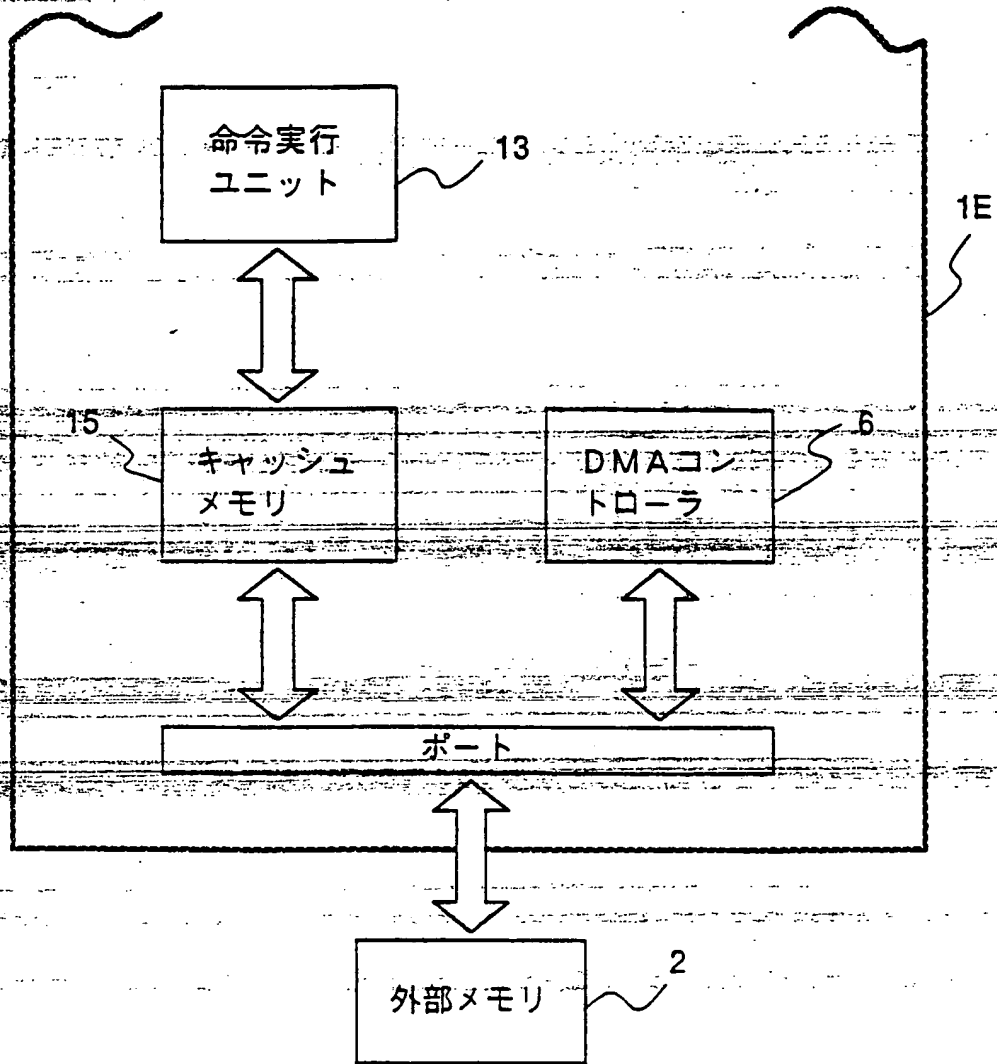
第22図

```

MOV  @S1R6, S1R0    ; ポートからデータ読み込み
ADD  S1R1, S1R0      ; 読み込んだデータにオフセットを加算
MOV  S1R0, @S1R7+    ; 演算した結果をメモリに格納
                        ; 同時にポインタを更新
RETSW                ; 通常命令処理に復帰

```

第23図



A. CLASSIFICATION OF SUBJECT MATTERInt. C1⁶ G06F9/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C1⁶ G06F9/46, G06F9/38, G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1994
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 02-115958, A (Hitachi, Ltd.), April 27, 1990 (27. 04. 90) (Family: none) Page 3, lower left column, lines 2 to 13	1-11, 13
Y	JP, 04-043434, A (Mitsubishi Electric Corp.), February 13, 1992 (13. 02. 92) (Family: none) Page 2, lower left column, lines 6 to 7	1-11, 13
Y	JP, 08-055033, A (NEC Corp.), February 27, 1996 (27. 02. 96) (Family: none) Columns 4, 20	1-11, 13
Y	JP, 06-044089, A (Matsushita Electric Industrial Co., Ltd.), February 18, 1994 (18. 02. 94) & US, 5546593, A Columns 36, 38, 44, 52	1-11, 13
Y	JP, 48-034448, A (International Business Machines Corp.), May 18, 1973 (18. 05. 73)	1-11, 13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

November 22, 1996 (22. 11. 96)

Date of mailing of the international search report

December 3, 1996 (03. 12. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁸ : G06F9/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁸ : G06F9/46, G06F9/38, G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1994

日本国登録実用新案公報 1994-1996

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J.P. 02-115958, A (株式会社日立製作所) 27. 4月. 1990 (27. 04. 90) (ファミリーなし) 第3頁左下欄第2~13行	1~11, 13
Y	J.P. 04-043434, A (三菱電機株式会社) 13. 2月. 1992 (13. 02. 92) (ファミリーなし) 第2頁左下欄第6~7行	1~11, 13
Y	J.P. 08-055033, A (日本電気株式会社) 27. 2月. 1996 (27. 02. 96) (ファミリーなし) 明細書第4コラム、第20コラム	1~11, 13

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

22. 11. 96

国際調査報告の発送日

03.12.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

5B

9189

久保 光宏

電話番号 03-3581-1101 内線

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.